

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-066650

(43)Date of publication of application : 22.04.1982

(51)Int.Cl.

H01L 21/78

(21)Application number : 55-141716

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.10.1980

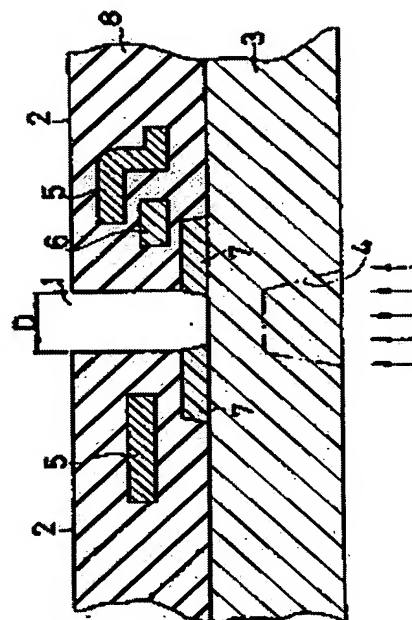
(72)Inventor : HATANO YUTAKA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form narrowly a scribe line region to contrive high density integration of a semiconductor integrated circuit element by providing an laser resistant protective film on a transparent insulator.

CONSTITUTION: An laser resistant protective film 7 is positioned at both poitions of a scribe line region 1, and is formed so as to be positioned between a semiconductor integrated circuit element 2 and a sapphire substrate 3. And, a laser beam is applied from the rear surface of the sapphrire substrate 3 opposite to the surface where the semiconductor integrated circuit element 2 is formed along the scribe line region 1, and the substrate 3 is scribed from the rear surface to form a groove part 4. And, the thin substrate 3 between the groove part 4 and the scribe line region 1 is bent and cut to divide into a plurality of chips.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

REST AVAILABLE COPY

☞ [decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—66650

⑬ Int. Cl.³
H 01 L 21/78

識別記号

庁内整理番号
7131—5F

⑭ 公開 昭和57年(1982)4月22日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 半導体装置の製造方法

京芝浦電気株式会社総合研究所
内

⑯ 特 願 昭55—141716

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭55(1980)10月9日

川崎市幸区堀川町72番地

⑲ 発 明 者 波多野裕

⑳ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

透光性絶縁物上に、スクライプライン領域を隔てて複数個の半導体集積回路素子が設けられてなる基板を、裏面からスクライプライン領域に沿ってレーザ照射を施すことによりスクライプする半導体装置の製造方法において、前記スクライプライン領域に隣接した透光性絶縁物上に耐レーザ保護膜を設けて基板をスクライプすることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明はレーザ照射による透光性絶縁基板のスクライプ方法を改良した半導体装置の製造方法に関する。

透光性絶縁基板、例えばサファイヤ基板上に、格子状に設けられたスクライプライン⁽⁴⁵⁾を隔てて複数個の半導体集積回路素子が形成された半導体装置をスクライプして、複数個のチップに分

割することが行なわれている。

このスクライプにより分割する方法として、従来は第1図に示すようにスクライプライン領域1を隔てて複数個の半導体集積回路素子2...を形成した面と反対のサファイヤ基板3の裏面から、スクライプライン領域1に沿ってレーザ照射を行なってスクライプして溝部4を形成した後、この溝部4に沿って基板3を折り曲げることにより複数個のチップに分割することが行なわれていた。

この場合、レーザ照射によるスクライプに伴って絶縁基板3にクラック等が発生し易いので、半導体集積回路素子2への損傷が及ばないようにスクライプライン領域1の幅Dを十分に広く取る必要がある。更にレーザ照射時に半導体集積回路素子2を構成する配線5、6などの回路部品が損傷するのを防止するためスクライプライン領域1の幅Dを更に十分広くとるか、若しくはスクライプライン領域1から十分離れた位置に回路部品を形成する必要があった。

このため透光性絶縁基板として高価なサファイヤ基板3を用いた場合にはスクライプライン領域1の占める面積が広く有効利用が図れず高密度集積化の妨げとなっていた。

本発明は、上記欠点を改善し、スクライプライン^①を狭く形成して半導体集積回路素子の高密度集積化を図った半導体装置の製造方法を提供するものである。

即ち本発明は透光性絶縁物上に、スクライプライン領域を隔てて複数個の半導体集積回路素子が設けられてなる基板を、裏面からスクライプ^②領域に沿ってレーザ照射を施すことによりスクライプする半導体装置の製造方法において、前記スクライプ^③領域に隣接した透光性絶縁物上に耐レーザ保護膜を設けて基板をスクライプすることを特徴とするものである。

以下、本発明方法を詳細に説明する。

本発明において用いる透光性絶縁物としては、例えばサファイヤ基板、スピネル基板、ガラス基板など何れでも良い。

3

次に半導体集積回路素子2, 2を形成した後と反対のサファイヤ基板3の裏面から、前記スクライプライン領域1に沿ってレーザ照射を行なうと、基板3を裏面からスクライプして溝部4を形成する。しかる後、この溝部4とスクライプライン領域1との間の薄い基板3を折り曲げることにより複数のチップに分割する。

従って上記方法によればスクライプライン領域1の幅Dを狭く形成しても、その両側に耐レーザ保護膜7, 7を設けてあるので、レーザ照射の際に前記半導体集積回路素子2, 2のスクライプライン領域近傍部分の損傷を防止することができる。この結果、従来のもの比べてスクライプライン領域1の占める面積が小さくなり、高密度集積化を図れると共に、高価なサファイヤ基板3を有効に利用することができる。

以上説明した如く、本発明に係わる半導体装置の製造方法によれば、スクライプライン領域を狭く形成することができるため、半導体集積回路素子の高密度集積化を図ることができる。

5

また本発明における耐レーザ保護膜としては例えばシリコン膜、ポリシリコン膜、あるいはアルミニウム膜などの金属薄膜など通常の素子形成方法により透光性絶縁物上に形成できるものであれば何れでも良い。

次に本発明の実施例を第2図を参照して説明する。

透光性絶縁物として厚さ約4.50 μm のサファイヤ基板3を用意し、この裏面にシリコンを厚さ約0.5 ~ 2 μm にエピタキシャル成長させた後、パターニングして耐レーザ保護膜7, 7を形成する。次いで基板3上に酸化シリコン膜8を形成し、以下常法に従ってアルミニウム配線5、ポリシリコン配線6などの回路部品を形成した後、幅D = 80 ~ 60 μm のスクライプライン領域1を格子状に形成して、各半導体集積回路素子2を分離する。この場合、前記耐レーザ保護膜7, 7は、スクライプライン領域1の両側に位置し、半導体集積回路素子2とサファイヤ基板3との間に位置するように形成しておく。

4

のである。

4. 図面の簡単な説明

第1図は従来方法による半導体装置の断面図、第2図は本発明の一実施例による半導体装置の断面図である。

1…スクライプライン領域、2…半導体集積回路素子、3…基板、4…溝部、5, 6…配線、7…耐レーザ保護膜、8…酸化シリコン膜。

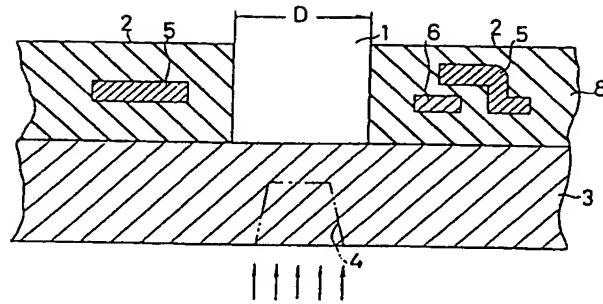
出願人代理人 弁理士 鈴 江 武 彦

6

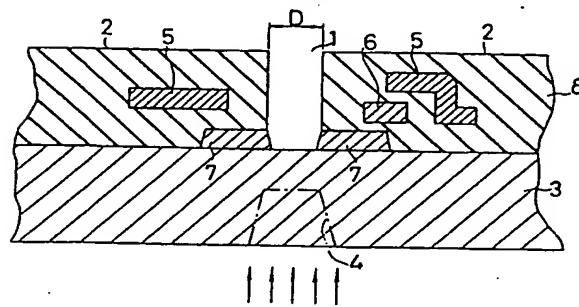
✓

第 1 図

特開昭 57- 66650 (3)



第 2 図



BEST AVAILABLE COPY